

⑪ Int.Cl.⁴

H 01 L 27/08
29/78

識別記号

1 0 2

庁内整理番号

6655-5F
8422-5F

⑬ 公開 昭和61年(1986)7月21日

審査請求 未請求 発明の数 2 (全5頁)

⑭ 発明の名称 半導体装置及びその製造方法

⑮ 特 願 昭60-2314

⑯ 出 願 昭60(1985)1月10日

⑰ 発 明 者 堀 稔 大阪市此花区島屋1丁目1番3号 住友電気工業株式会社
大阪製作所内
⑰ 発 明 者 木 野 村 正 大阪市此花区島屋1丁目1番3号 住友電気工業株式会社
大阪製作所内
⑱ 出 願 人 住友電気工業株式会社 大阪市東区北浜5丁目15番地
⑲ 代 理 人 弁理士 新居 正彦

明 細 書

1. 発明の名称

半導体装置及びその製造方法

2. 特許請求の範囲

(1) 複数のチャンネル領域を有する半導体装置において、前記複数のチャンネル領域の内の選択されたチャンネル領域上の絶縁膜の厚さが、その他のチャンネル領域上の絶縁膜より薄くされていることを特徴とする半導体装置。

(2) 前記選択されたチャンネル領域は、半導体装置の内部回路を構成していることを特徴とする特許請求の範囲第(1)項記載の半導体装置。

(3) 前記絶縁膜は、酸化膜または窒化膜であることを特徴とする特許請求の範囲第(1)項または第(2)項記載の半導体装置。

(4) 半導体基板の複数のチャンネル領域上に第1の絶縁膜を形成し、次いで、前記複数のチャンネル領域の内の選択されたチャンネル領域上の前記第1の絶縁膜を除去し、更に前記複数のチャンネル領域上に第2の絶縁膜を形成することを特徴とする半導体装置の製造方法。

(5) 前記複数のチャンネル領域の内の選択されたチャンネル領域上の前記第1の絶縁膜の除去は、該選択されたチャンネル領域上のみに開口したレジスト膜を設け、該レジスト膜を介して前記絶縁膜を除去することを特徴とする特許請求の範囲の第(4)項記載の半導体装置の製造方法。

(6) 前記絶縁膜の形成は、酸化処理または窒化処理によりなすことを特徴とする特許請求の範囲第(4)項または第(5)項記載の半導体装置の製造方法。

3. 発明の詳細な説明

産業上の利用分野

本発明は、半導体装置及びその製造方法に関するものであり、更に詳述するならば、半導体装置のゲート絶縁膜及びその製造方法に関するものである。

従来の技術

半導体装置、特に絶縁ゲート型の集積回路は、その製造工程上の制約から、全単位素子の導電領域の深さ、不純物濃度、絶縁膜の厚さなどは一様になされている。そのため、同一構造の単位素子はどの素子をとっても同一の特性を有している。

例えば、MOSICについて述べるならば、そのゲート絶縁膜は、従来、第2図に示すように形成されていた。第2図(a)は、n型Siのような半導体基板1の一方の表面側に、p型ウェル2が形成され、そのp型ウェル2内に、n型のソース領域3A及びドレイン領域3Bが形成され、一方、p型ウェル2以外の半導体基板1表面には、p型の

ソース領域4A及びドレイン領域4Bが形成され、そして、そのような半導体基板1の一方の表面側に形成されたフィールド酸化膜5が、ソース・ドレイン間のチャンネル領域上に開口が位置するようにエッチングされた状態を示している。

そのようなフィールド酸化膜5を介して酸化処理を実施して、第2図(b)に示すように、ソース領域とドレイン領域との間のチャンネル領域上にゲート酸化膜6が形成される。そのあと、適当なマスクを介して、ゲート酸化膜5上にゲート電極7を形成し、また、別の適当なマスクを介してソース領域及びドレイン領域上のフィールド酸化膜を除去した上でソース電極8及びドレイン電極9を形成して、pウェルCMOSが形成される。

発明が解決しようとする問題点

以上のようなMOSICの構造において、絶縁ゲート構造のゲート酸化膜6の厚さを T_{ox} とすると、そのMOSトランジスタのドレイン飽和電流 I_{Dsat} は、次のように表される。

$$I_{Dsat} = \frac{1}{2} \mu \frac{W}{L} \frac{\epsilon_{ox}}{T_{ox}} (V_g - V_T - V_s)^2 \quad \dots (1)$$

但し、 μ ：移動度

W ：ゲート幅

L ：ゲート長

ϵ_{ox} ：SiO₂の誘電率

V_g ：ゲート電圧

V_T ：スレッショールド電圧

V_s ：ソース電圧

一方、トランジスタの利得係数 β は、

$$\beta = \frac{W}{L} \mu C_{ox} \quad \dots (2)$$

但し、 C_{ox} ：ゲート酸化膜の容量であり、

$$C_{ox} = W L \frac{\epsilon_{ox}}{T_{ox}} \quad \dots (3)$$

で表される。

また、ゲートの耐圧 BV_g は、

$$BV_g \propto T_{ox} \quad \dots (4)$$

で示されるように、ゲート酸化膜の膜厚 T_{ox} に比

例する。

以上の半導体装置の製造方法によれば、どのMOSトランジスタのゲート酸化膜の厚さも一様であり、作成できるMOSトランジスタの特性はどのトランジスタをとっても同一である。

しかし、集積回路は、その入出力回路部分と、内部回路とでは、要求される仕様が異なる。具体的に述べるならば、入出力回路では、電流容量と耐圧が大きいことが要求され、内部回路は、高利得、高速性が要求される。これは、入出力回路は、外部の回路に接続されるので、過大な電流や電圧が印加される可能性があり、一方、内部回路は、過大な電流や電圧からは入出力回路によって保護されており、集積回路の機能を専ら効率的に処理するように高利得、高速動作が要求されるためである。

なおここで、高速性を表す指標の一つである走行時間 τ を見ると、

$$\tau = \frac{m C_{ox} (V_g - V_T)}{I_{Dsat}} \quad \dots (5)$$

で表される。

そこで、入出力回路の要求を満たすべく飽和電流 I_{Dsat} とゲートの耐圧 BV_G とを高めるように、半導体装置のゲート絶縁膜の厚さを増大すると、利得 β が減少し、走行時間 τ が増大し、内部回路の高利得、高速性が犠牲にされる。

反対に、内部回路の要求を満たすべく利得 β を大きく且つ走行時間 τ を小さくするように、半導体装置のゲート絶縁膜を薄くすると、飽和電流 I_{Dsat} とゲートの耐圧 BV_G とが減少して、入出力回路の電流容量と耐圧が犠牲にされる。

そのため、従来の MOSIC は、大きな電流容量及び耐圧を持つ入出力回路と高速動作可能な内部回路とを兼ね備えたものは実現されていなかった。

以上の問題は、ゲート酸化膜が、窒化膜などの絶縁膜で構成されるほかの絶縁ゲート構造の半導体装置の場合でも同様であった。

そこで、本発明は、上記した問題を解消すべく、各回路の要求を満たすことができる絶縁ゲート構

造の半導体装置及びその製造方法を提供せんとするものである。

問題点を解決するための手段

すなわち、本発明によるならば、複数のチャンネル領域を有する半導体装置において、前記複数のチャンネル領域の内の選択されたチャンネル領域上の絶縁膜の厚さが、その他のチャンネル領域上の絶縁膜より薄くされていることを特徴とする半導体装置が提供される。

また、本発明によるならば、半導体基板の複数のチャンネル領域上に第1の絶縁膜を形成し、次いで、前記複数のチャンネル領域の内の選択されたチャンネル領域上の前記第1の絶縁膜を除去し、更に前記複数のチャンネル領域上に第2の絶縁膜を形成することを特徴とする半導体装置の製造方法が提供される。

作用

以上のような半導体装置において、厚いゲート

絶縁膜と薄いゲート絶縁膜が実現できる。従って、厚いゲート絶縁膜の絶縁ゲート構造で入出力回路を構成し、一方、薄いゲート絶縁膜の絶縁ゲート構造で内部回路を構成する。すると、上記した式などからわかるように、厚いゲート絶縁膜の絶縁ゲート構造は、大きな飽和電流 I_{Dsat} とゲートの耐圧 BV_G を実現でき、一方、薄いゲート絶縁膜の絶縁ゲート構造は、高利得と高速動作を実現できる。従って、飽和電流 I_{Dsat} とゲートの耐圧 BV_G とが大きい入出力回路と、高速性を有する内部回路とを同一半導体装置に実現することができる。

また、上記した本発明による半導体装置の製造方法において、チャンネル領域上の前記第1の絶縁膜を除去しそこに第2の絶縁膜を形成したチャンネル領域上には、薄い第2のゲート絶縁膜のみしか形成されておらず、一方、第1の絶縁膜を除去せずにそれに更に第2の絶縁膜を形成したチャンネル領域上には、厚いゲート絶縁膜が形成できる。かくして、上記した構造の半導体装置を確実且つ容易に製造することができる。

実施例

以下、添付図面を参照して本発明による半導体装置及びその製造方法の実施例を説明する。

第1図は、本発明による半導体装置の1実施例としてシリコン MOSIC を製造する本発明による製造方法の1実施例を示す概略工程図である。

第1図(a)は、半導体装置の製造工程の途中を示しており、n型Siのような半導体基板10の一方の表面側に、p型のソース領域12A及びドレイン領域12Bが形成され、そのような半導体基板10のその一方の表面側にフィールド酸化膜14が形成され、更に、ソースドレイン間領域の上には、厚さ T_{ox} の第1のゲート酸化膜16及び16Aが形成された状態を示している。かかる状態は、第2図(b)の状態に相当するもので、従来の様々な製造方法により製造できるので、それまでの製造工程についての説明は省略する。

そのような半導体基板10のフィールド酸化膜14とゲート酸化膜16の上に、レジスト膜18が形成される。そのレジスト膜18は、第1図(b)に示すよう

に、MOSICの内部回路に相当する部分のゲート酸化膜16Aのみに開口20が設けられ、MOSICの入出力回路に相当する部分のゲート酸化膜16は覆っている。

そのようなレジスト膜18を介して、エッチング処理して、開口20の中のゲート酸化膜16Aを除去する。次いで、レジスト膜18を除去して第1図(c)に示すような状態にする。

そのあと、残っているフィールド酸化膜14とゲート酸化膜16の上から酸化処理を実施して、第1図(d)に示すように、ゲート酸化膜16Aが除去されたソース・ドレイン間のチャンネル領域の上には、再び厚さ T_{ox1} の第2のゲート酸化膜16Bが形成される。一方、厚さ T_{ox} のゲート酸化膜16には厚さ T_{ox1} の第2の酸化膜が重ねられるので、厚さ $T_{ox} + T_{ox1}$ のゲート酸化膜16Cとなる。ゲート酸化膜16Bの厚さ T_{ox1} は、ゲート酸化膜16Cの厚さ $T_{ox}(T_{ox} + T_{ox1})$ より薄いので、MOSICに内部回路に相当する部分は、薄いゲート酸化膜16Bを有し、MOSICの入出力回路に相

当する部分は、厚いゲート酸化膜16Cを有する。

そのあと、その上にマスク適当なマスクを介して、ゲート酸化膜16B及び16C上にゲート電極22を形成し、また、別の適当なマスクを介してソース領域及びドレイン領域上のフィールド酸化膜を除去した上でソース電極24及びドレイン電極26を形成して、第1図(e)に示すようにpチャンネルMOSICが形成される。

以上のようにして形成された半導体装置の入出力回路を構成する部分の絶縁ゲート構造は、厚さ T_{ox} の厚いゲート酸化膜16Cを有し、上記した式(1)及び(4)からわかるように、大きな電流容量とゲート耐圧を実現できる。一方、内部回路を構成する部分の絶縁ゲート構造は、厚さ $T_{ox1}(<T_{ox})$ の薄いゲート酸化膜16Bを有し、上記した式(2)及び(5)からわかるように、大きな利得を持ち、小さな走行時間すなわち高速動作を実現できる。従って、上記した半導体装置は、外部からの信号に対して大きな電流容量とゲート耐圧とを有し且つ信号を高利得で高速処理することができる。

また、以上のような製造方法においては、第1の酸化膜の上への第2の酸化膜の形成を酸化処理により実施しているので、両酸化膜間にアライメントの問題はない。

なお、上記した実施例は、絶縁ゲート構造を有するどのような半導体装置にも適用可能であり、例えば、nチャンネルMOS構造、CMOS構造にも適用できる。更に詳述するならば、ウェル構造を有していても、nウェル、pウェル、ダブルウェルなどのウェル構造を有しているものでもよい。

上記したゲート酸化膜の形成は、半導体基板やその中の導電領域、更にはマスクやレジストに対応して、ドライO₂酸化、ウェットO₂酸化、スチーム酸化、水素燃焼酸化、高圧酸化、酸素分圧酸化、ハロゲン酸化、陽極酸化法、プラズマ酸化法、酸素イオンビーム法などが使用できる。

そして、絶縁ゲート構造にあっては、ゲート絶縁膜は、酸化膜に限らず、窒化膜でもよい。窒化膜の形成の場合、Siの酸化処理と同様に実施で

きるので、上記した実施例におけるシリコンの酸化処理工程の代わりに、マスクやレジストを適当に選択して窒化処理を実施することにより形成することができる。その窒化処理法としては、窒素窒化法、アンモニア窒化法、アンモニアプラズマ窒化法、イオン窒化法などが使用できる。

発明の効果

以上の説明から明らかなように、本発明による半導体装置は、回路の部位に応じて必要とされる大きな電流容量及び耐圧または高利得及び高速動作性を、ゲート絶縁膜の厚さを変えることにより、それぞれ必要な回路部位に実現することができる。従って、大きな電流容量及び耐圧を持つ入出力回路と高速動作可能な内部回路を有する半導体装置が実現できる。

また、本発明による半導体装置の製造方法によれば、ゲート絶縁膜を酸化処理または窒化処理により製造しているので、アライメントの問題が少なく、確実且つ容易に製造することができる。

4. 図面の簡単な説明

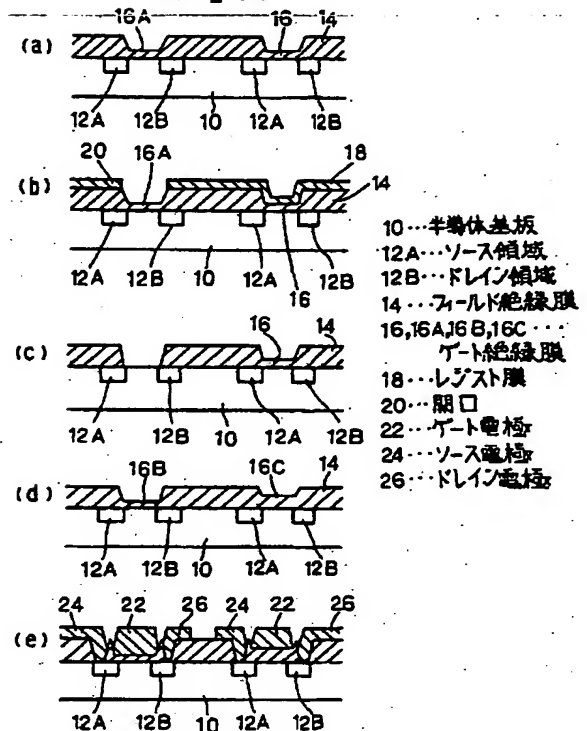
第1図(a)から(e)は、本発明による半導体装置の
本発明による製造方法の実施例を図解する工程図、
第2図(a)から(c)は、従来の絶縁ゲート構造半導
体装置の製造工程の一部を示す工程図である。

【主な参照番号】

- 1・・・半導体基板、2・・・P型ウェル、
3A、4A・・・ソース領域、
3B、4B・・・ドレイン領域、
5・・・フィールド酸化膜、6・・・ゲート酸化膜、
7・・・ゲート電極、8・・・ソース電極、
9・・・ドレイン電極、10・・・半導体基板、
12A・・・ソース領域、12B・・・ドレイン領域、
14・・・フィールド絶縁膜、
16、16A、16B、16C・・・ゲート絶縁膜、
18・・・レジスト膜、20・・・開口、
22・・・ゲート電極、24・・・ソース電極、
26・・・ドレイン電極

特許出願人 住友電気工業株式会社
代理人 弁理士 新居 正彦

第1図



第2図

